

1 简介

电磁兼容性(Electromagnetic Compatibility, 简称 EMC) 的重要性随着当代电子产品自身内部结构的发展而变得愈加凸显。产品的电磁兼容能力会直接决定产品的工作性能, 所以在产品设计的第一阶段就应当优先考虑电磁兼容性的问题。本文旨在介绍如何基于 i.MXRT 系列进行合理的 EMC 设计, 以帮助用户维持产品 EMC 性能的健壮性。

2 概述

2.1 电磁兼容性的基本概念

电磁干扰是现代电子系统的主要问题之一。设计人员需要在设计的早期阶段就注意这个问题, 进行预先分析、预测和设计。以防止因电磁干扰问题而造成的项目进度推迟的问题发生。

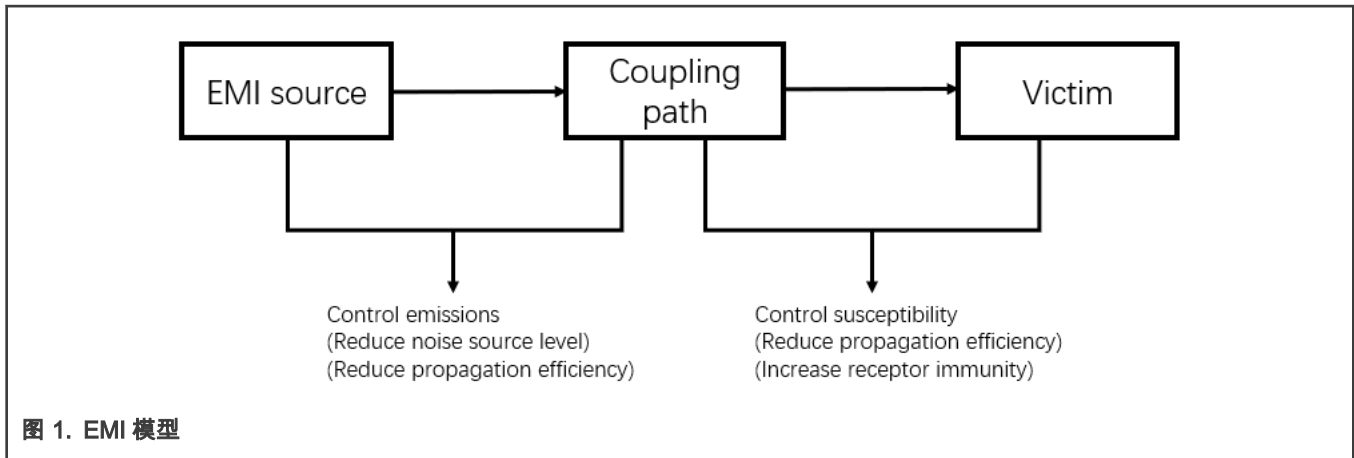
为了使产品成为商品之前就符合相应的电磁兼容标准, 在产品设计的所有阶段都要求设计人员具有良好的 EMC 知识和实践经验。

一个简单的 EMI 模型由 EMI 产生源、耦合路径和受干扰设备组成。如图 1 所示。

目录

1	简介	1
2	概述	1
2.1	电磁兼容性的基本概念.....	1
2.2	电磁兼容性的基本原则.....	2
3	原理图设计	2
3.1	晶振电路.....	3
3.2	复位电路.....	3
3.3	未用引脚配置.....	3
3.4	板间接口.....	4
3.5	通信接口.....	5
3.6	地线扰动的影响.....	7
3.7	电源拓扑.....	7
4	布线设计	8
4.1	电源布线和接地.....	8
4.2	布局.....	9
4.3	旁路和去耦.....	9
4.4	DCDC 电路.....	10
4.5	晶体振荡器电路.....	11
4.6	高速信号.....	11
4.7	屏蔽连接.....	11
4.8	隔离.....	12
4.9	信号回流路径.....	13
5	软件设计	13
5.1	代码运行位置.....	13
5.2	某些外设的滤波器配置.....	13
5.3	IO 驱动强度.....	14
5.4	时钟扩频.....	14
6	EMC 测试	16
6.1	简介.....	16
6.2	EMC 测试结果.....	16
7	结论	17
8	参考手册	17
9	版本历史	17





基于 图 1，可以通过降低 EMI 源的噪声，改变耦合路径，提高受体的抗干扰能力，进而消除系统中的 EMI 问题。

- 降低 EMI 源的噪声：
 1. 减少噪声源的环路面积
 2. 在噪声源中使用较慢的上升沿和下降沿信号
 3. 减少驱动信号强度
 4. 增加滤波
 5. 屏蔽噪声源电路等
- 改变耦合路径：
 - 将受体远离噪声源，避免受体和噪声源之间的 PCB 走线耦合和电源耦合
- 提高受体的抗干扰能力：
 - 减少与受体相关的 PCB 线路的环路面积。为受干扰设备相关的信号线路提供低阻抗的返回路径和参考电源平面。

2.2 电磁兼容性的基本原则

一旦产品的电磁兼容出现问题，可能导致浪费大量的时间和金钱，以下指南旨在帮助设计者更好地了解如何增强抗扰度（灵敏度）和达到辐射要求，以避免这种情况的发生。

- 虽然现代电子系统有不同的抗扰度要求，但辐射抗扰度（RI）和静电放电（ESD）测试方法在现代电子系统中基本相同。
- 在辐射抗扰度测试中，高能高频环境下造成的电磁干扰可能造成系统中的电路元器件（EUT）损坏，解决这一问题的基本设计方法是将敏感元件（微控制器）远离工作在高频（如 10 MHz - 900 MHz）的信号和电源线。
- 基于 ESD 的特性，它产生的短时高能量的能量脉冲（如 DC-300 MHz）将被引入系统。进而可能会对系统中的一些敏感元件造成损坏。基本的解决方法是在信号线和电源线上提供相对于外壳地的高阻抗，以阻止 ESD 电流和能量输入到敏感元件。
- 针对辐射问题，系统需要保证尽可能地减少电磁辐射的产生，并且不影响其他设备正常工作。基本方法是消除测试系统产生的高频干扰电压和电流。一般来说，在 RI 和 ESD 中使用的许多基本设计技术都可以用于解决辐射问题。

电路板级的电磁兼容设计（文档 AN2321）中介绍了一些基本技术，如元件选择和 PCB 布局，可以应用于解决上述的抗扰度和抗辐射问题。

3 原理图设计

在原理图设计中，一些关键电路的设计对 EMC/EMI/ESD 性能起决定性作用，如：

- 晶振电路
- 复位电路

- 未用引脚配置
- 板间接口
- 通信接口
- 电源配置

这些设计方面的细节将在下面的小节中介绍。这里以采用 i.MX RT1060 处理器的集中器为例，介绍这些方面的相关设计规则。

3.1 晶振电路

i.MXRT 系列用一个外部 24 MHz 晶振作为主时钟参考，也允许使用外部时钟源（如有源振荡器）提供参考时钟。有源晶振通常比无源晶振有更好的 ESD 性能。根据我们的经验，使用有源晶振的系统比使用无源晶振的系统 ESD 性能提高了约 2 KV。

使用内部时钟作为参考时钟也可以提高 EMC 性能，RT10XX 系列中内部时钟不能作为 PLL 参考时钟，但如果其他产品支持使用内部时钟，则使用内部时钟可以很好的改善 EMC 性能。

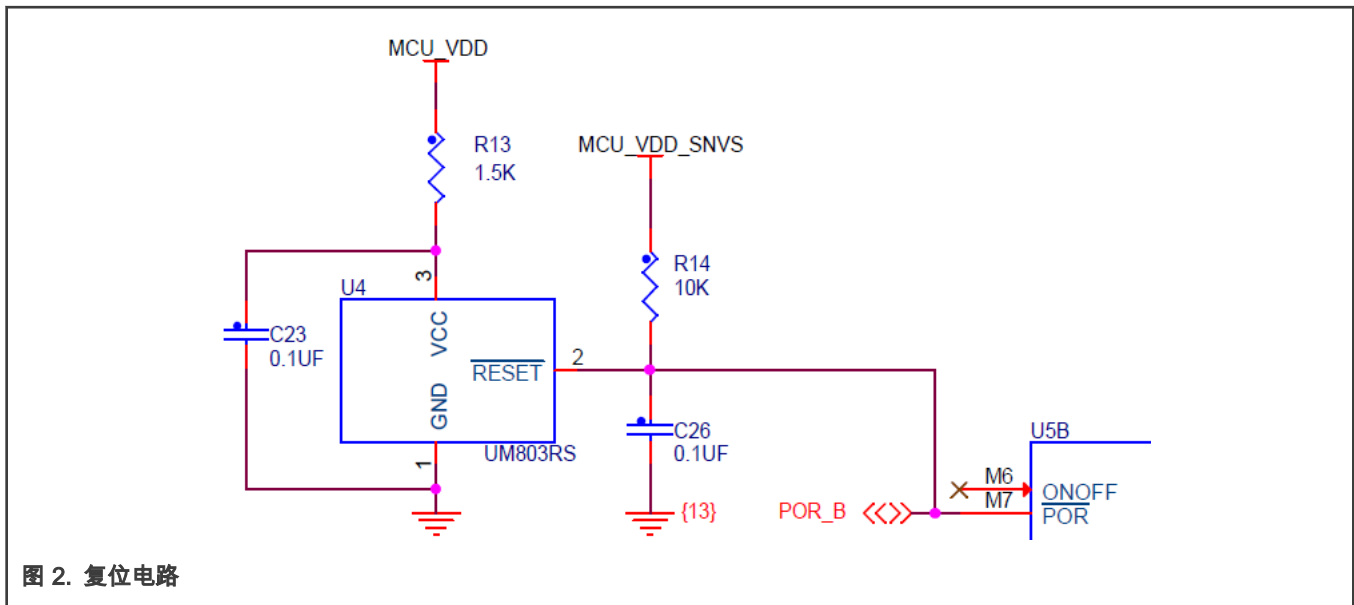
3.2 复位电路

芯片内有一个系统复位控制器(SRC)管理各种复位信号。外部复位信号通过一个名为 POR_B 的复位引脚连接到 SRC。

推荐使用复位 IC 来控制 POR_B，它不仅可以提供可靠的复位信号，还可以实现低电压检测来复位 MCU。

另外，为了在恶劣电磁环境下提高系统抗干扰能力，建议在靠近 POR_B 引脚的地方放置 RC 电路，这样可以减少噪声的影响。

参考复位电路如图 2 所示。



POR_B 可能被多个设备驱动，所以要求：

1. 复位 IC 为开漏输出型。
2. 如果复位 IC 是推挽输出，建议在其输出端接一个反向二极管。

在 RT10XX 系列中，POR_B 信号的电源域是 SNVS 电源域，所以上拉电阻要连接到 SNVS 的电源上。

3.3 未用引脚配置

未使用的引脚可能会影响 EMC 性能。它们可能会增加功耗，而且对应的 GPIO 状态可能会在恶劣的 EMC 条件下发生改变。例如，一个高阻抗输入的引脚，在恶劣的 EMC 条件下，它可能会频繁地切换状态，这将增加功耗并导致其它 EMC 问题。

不建议将未使用的引脚直接连接到 GND，因为在电磁环境差的条件下，GPIO 配置寄存器可能会被改变。如果在这种情况下输出高电平，将产生大电流，甚至会损坏引脚。

一般来说，数据手册提供了未使用引脚连接的建议。建议参考以下：

- 参考数据手册，确定未使用的引脚是否允许悬空。
- 如果某个引脚允许悬空，则将其配置为 GPIO，输出 0 或 1。
- 如果引脚不允许悬空，建议通过电阻（比如 10 kΩ）将其下拉到 GND。

3.4 板间接口

对于一些在不同电路板间传输的信号，应当注意信号回路的设计，如果信号环路比较大，就可能会容易接收干扰噪声，同时也容易辐射噪声。图 3 展示了一个接口设计的反例。

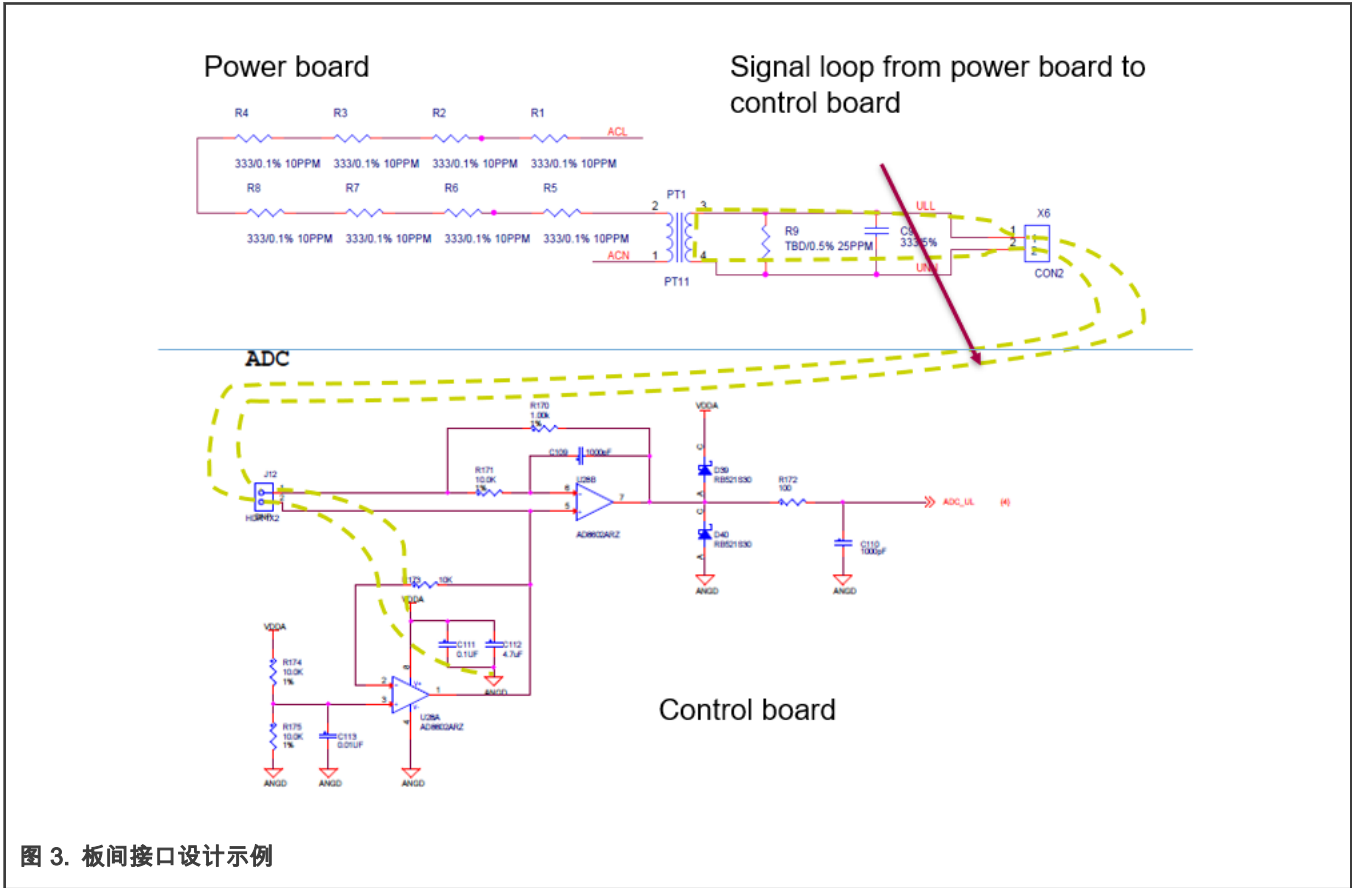


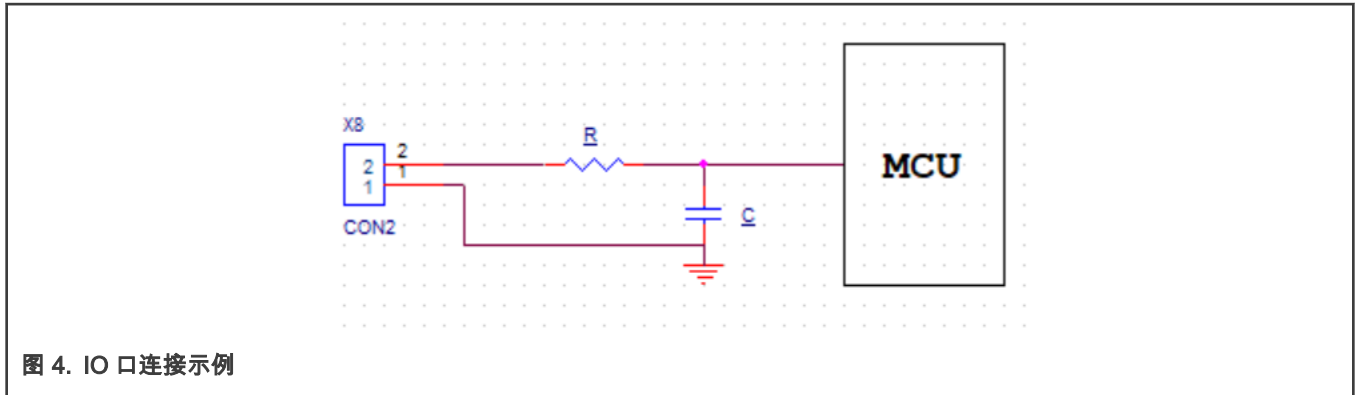
图 3. 板间接口设计示例

以电源板与处理器控制板的交流信号回路为例，如图 3 所示，交流信号从电源板到处理器控制板，从 VDDA 经运算放大器（U28）到 AGND 的高阻抗信号环路很长，因此会有很大的噪声耦合到处理器上。

图 3 所示的设计中，有两种方案可以缩短信号环路。

1. 将 PT1 移到处理器控制板上，缩短输入信号回路。实验证明，经改造后的直接接触放电测试性能从 4 kV 提高到 8 kV，提高了 EMC 性能。
2. 将运算放大器电路移到电源板上，VDDA 和 AGND 从控制板连接到电源板。这样会使 ADC 信号、VDDA 和 AGND 之间得到一个相对更小的环路，从而提高 EMC 性能。

对于处理器信号直接连接到连接器的情况，建议使用 TVS 元件作为 ESD 保护，另外一种低成本的解决方案是使用 RC 电路，如图 4 所示。对于 R/C 值，要考虑到信号的工作频率，要求 RC 时间常数远小于信号周期。



如果接口上面有高速的信号或者是时钟信号，也容易辐射噪声，推荐地线靠近高速信号或者时钟信号，另外板上可以预留匹配电阻，这样可以降低信号环路路径和信号谐波的能量，如果一些器件支持软件调整信号的驱动能力，也可以通过软件来降低信号的驱动能力来减少谐波噪声辐射。

3.5 通信接口

在通信接口方面，通常会采取多种措施来改善 EMI 和 ESD 性能，如下所示：

- 在连接器的信号回路上使用 TVS 二极管来抑制瞬态电压。
- 在连接器的电源和电路板的电源之间连接一个铁氧体磁珠，以隔离高频噪声。
- 在差分信号之间连接一个共模扼流圈，以消除高频共模噪声。
- 在连接器的金属屏蔽层和电路板地之间并联 RC 或铁氧体磁珠元件。

3.5.1 USB

以下措施可以用来改善 ESD 性能：

- 使用 TVS 阵列来保护 VBUS、D+、D- 和 ID 信号。
- 在 USB 差分信号上串联共模扼流圈，用于改善 EMI 性能。
- 在电源引脚 (VBUS, GND) 上串联铁氧体磁珠，以隔离高频噪声。
- 用 RC 或铁氧体磁珠隔离 USB 外壳和电路板地，以提高 ESD 性能。

图 5 是 i.MXRT1060 关于 USB 部分的原理图。

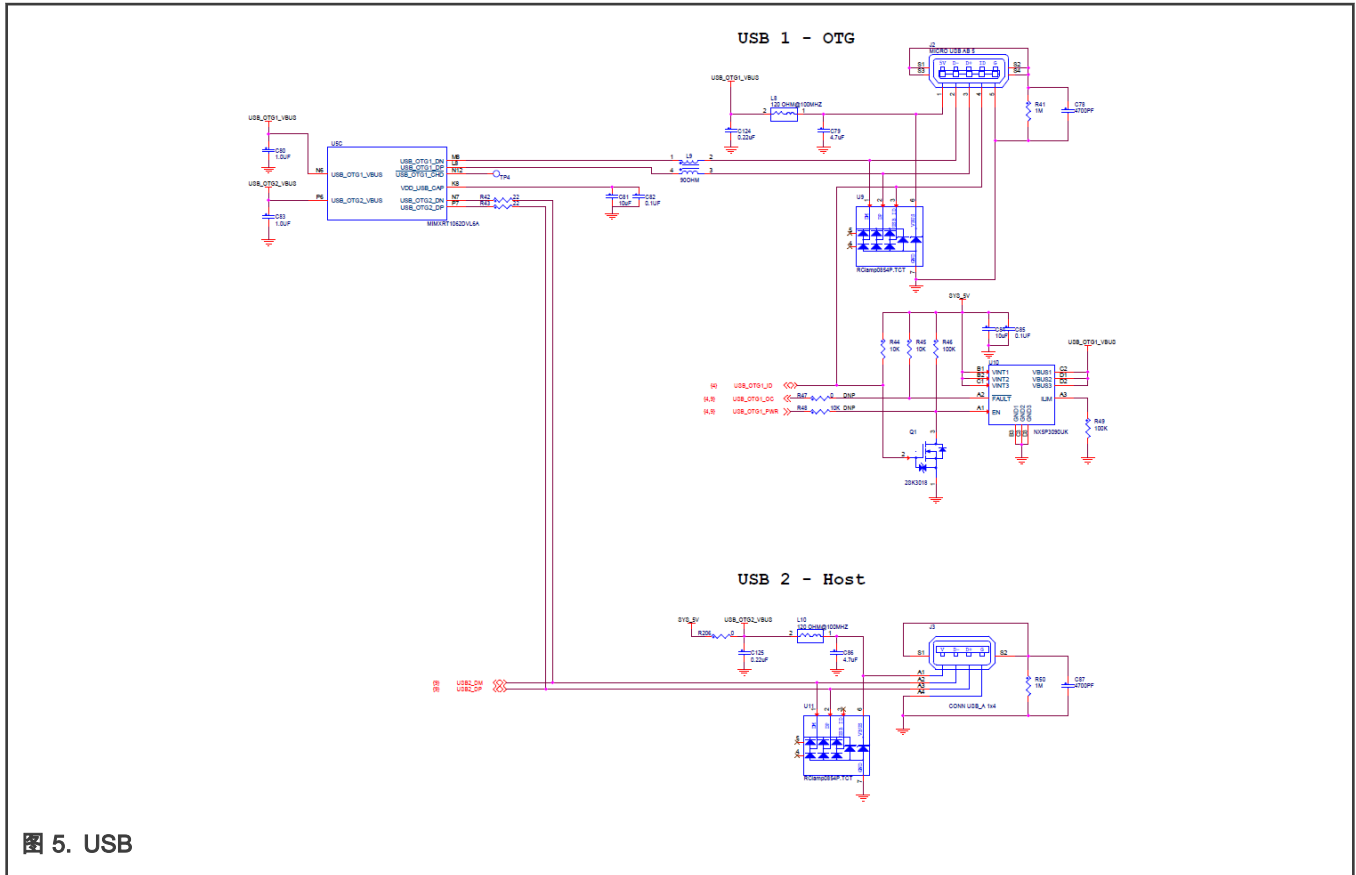


图 5. USB

3.5.2 Ethernet 网络接口

对于网络接口设计，从 EMC 性能的角度出发，在设计中有以下几点需要注意：

- 使用 TVS 阵列来保护 TXP、TXN、RXP 和 RXN 信号。
- 使用铁氧体和隔离变压器来分别隔离电源和信号线上的高频噪声。
- 用 RC 或铁氧体磁珠隔离网络接口屏蔽层和电路板地，以提高 ESD 性能。

图 6 是 i.MXRT1060 网络接口部分的原理图。

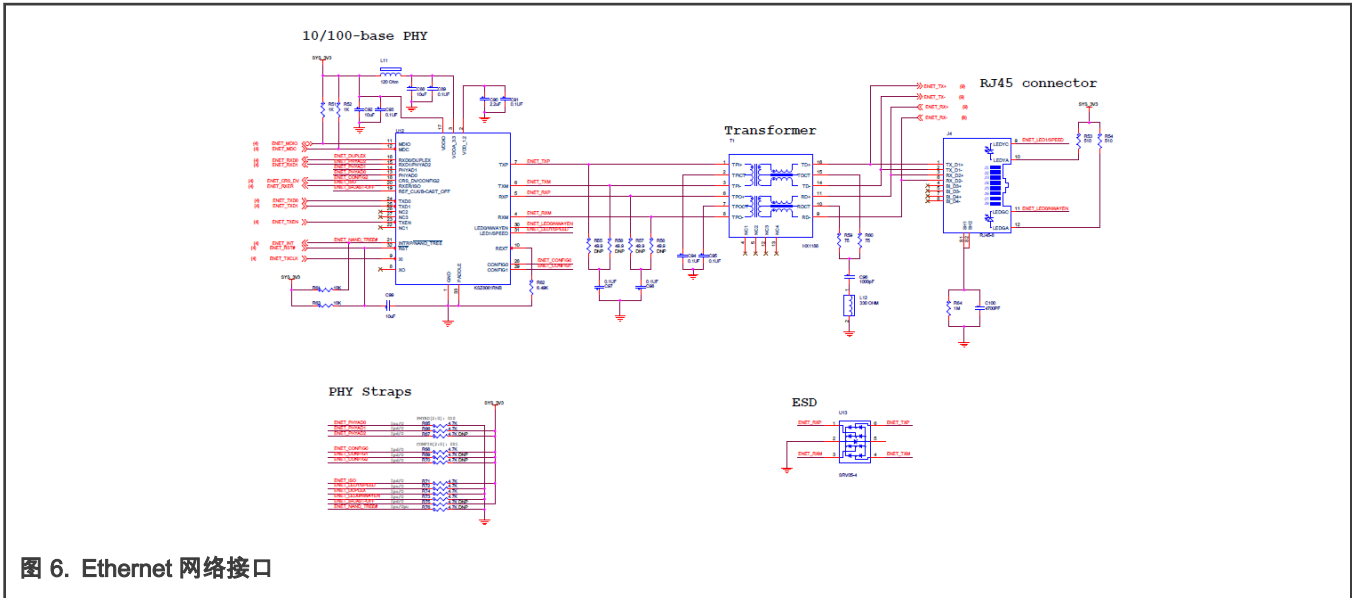


图 6. Ethernet 网络接口

3.5.3 调试接口

调试接口广泛应用在产品设计中，主要应用在产品开发阶段，一些关键的信号在恶劣的环境下也很容易被干扰，可以加 TVS 进行保护，也可以在调试接口串联一个 0 Ω 的电阻，在开发阶段用来调试，在量产阶段去掉 0 Ω 电阻来保护敏感信号不易被干扰。

3.6 地线扰动的影响

由于 i.MXRT 系列包含多个电源域，例如 SEMC、SD0、SD1、NVCC_GPIO 等。并且支持 SDRAM、LCD、CSI 等并行协议接口，当这些并行接口工作时，多个 IO 同时从逻辑状态 1 变为 0 或从 0 变为 1，因为寄生电容的频繁充放电和寄生电感的影响，从而在地和电源上产生扰动，并影响一些敏感信号，特别是与这些并行接口具有相同电源域的信号。

例如，通用定时器 (GPT) 模块支持捕获功能，有两个 GPT 捕获引脚分别映射到 GPIO_EMC_40 和 GPIO_EMC_41，这两个引脚容易受干扰且和 SDRAM 同一电源域，如果 SDRAM (GPIO_EMC_00 至 GPIO_EMC_39 的引脚) 工作时发生地线扰动问题，很容易发生误触发。

可通过参考以下设计避免此问题：

1. 按照布线设计所示的高速信号的布局建议，尽量避免或减少地线扰动。
2. 敏感信号和并行接口不要位于同一电源域内。
3. 敏感信号输入加 RC 电路，减少外部噪声的影响。

3.7 电源拓扑

在设计之初，应优先考虑电源拓扑结构设计，包括电源器件选型、不同电源域电压分配和系统上电时序等问题。推荐在系统设计之前先列出所有需要的电源列表，这样可以帮助设计师对整个电源的拓扑架构设计有一个清晰的认识。

表 1 以 i.MXRT1060 的电源设计为例，详细列出了系统中需要的电源。

表 1. 系统中的电源

电源名称	默认电压 (V)	简介
SYS_5V	5	<ul style="list-style-type: none"> • 电源插座输入、AC-DC 适配器或 USB OTG/设备 VBUS。 • 为 DCDC 转换器及 USB 主机供电。

Table continues on the next page...

表 1. 系统中的电源 (continued)

电源名称	默认电压 (V)	简介
RS485_5V	5	<ul style="list-style-type: none"> 来源于 ACDC 板。 为 RS485 接口供电。
SYS_3V3	3.3	<ul style="list-style-type: none"> 源于 DCDC 转换器。 为处理器和大部分板载元件供电。
MCU_VDD	3.3	<ul style="list-style-type: none"> 源于 SYS_3V3。 为处理器的主电源供电，如 DCDC_IN、VDD_HIGH_IN、VDDA 以及各种 IO 域。
VDDA	3.3	<ul style="list-style-type: none"> 源于 MCU_VDD。 为处理器 VDDA_ADC_3P3 和板载模拟元件供电。
MCU_VDD_SNVS	3.3	<ul style="list-style-type: none"> 由 LDO 或电池产生。 主要为处理器 VDD_SNVS_IN 供电。
DCDC_OUT	1.0	<ul style="list-style-type: none"> 内部 DCDC 转换器的输出。 为 VDD_SOC_IN 供电。
VDD_SOC_IN	1.0	<ul style="list-style-type: none"> 源于处理器内核的 DCDC_OUT。
USB_OTG1_VBUS	5.0	<ul style="list-style-type: none"> USB_OTG1 的 VBUS。
USB_OTG2_VBUS	5.0	<ul style="list-style-type: none"> USB_OTG2 的 VBUS。
VDD_GPRS	4.0	<ul style="list-style-type: none"> 源于 SYS_5V (SYS_5V 供电)。 为外部 GPRS 模组供电。

4 布线设计

4.1 电源布线和接地

4.1.1 PCB 层叠设计

由于 i.MXRT 系列有大量的高速信号接口，如 SEMC、OCTAL flash 和 LCD 等，所以强烈建议采用至少 4 层 PCB 叠层设计。4 层 PCB 叠层设计对于高速信号来讲，具有一定的优势和好处。首先，地平面和电源平面可以为高速和差分信号的特性阻抗设计提供良好的参考平面。此外，地和电源平面可以提供较短的电流回流路径，并降低地-电源阻抗。等效环形天线的大小和电流回路面积的大小也与之有着直接关系，而等效环形天线的大小直接影响噪声的产生。所以，缩小等效天线环路可以有效避免 EMI 干扰，提高 EMC 性能。

图 7 是 4 层板叠层设计的例子。

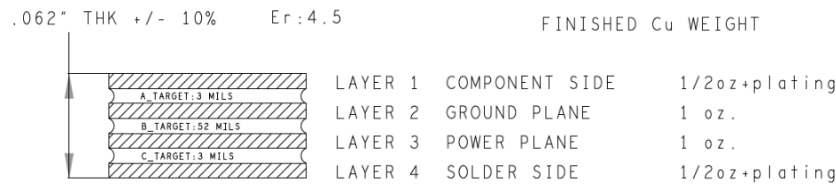


图 7. PCB 层叠结构

DETAIL B
IMPEDANCE REQUIREMENTS
IMPEDANCE TOLERANCE IS 10% Board Er:4.5

Layers	Single ended		Differential			Differential		
	Trace Width (Mils)	Impedance (Ohms)	Trace Width (Mils)	Trace spacing "Airgap" (Mils)	Impedance (Ohms)	Trace Width (Mils)	Trace spacing "Airgap" (Mils)	Impedance (Ohms)
L1	5	50				5	5	90
L4	5	50				5	5	90

图 8. 信号层的阻抗控制

4.1.2 电源和地

在多层板布局设计中，一般建议采用单独的电源平面和地平线。这样可以降低电源和地回路的阻抗。

- 参考 20-H 规则。20-H 规则是多层板电源和地层设计的准则，主要原则是将地层边缘多出电源层边缘大约 20 倍两平面间距，这是做是为了减少板子边缘的边缘场辐射的影响。
- 在电源层和地平面上尽量避免密集摆放过孔，并保持电源层和地平面的完整性。
- 在合适的位置放置过孔。这样可以降低电源和地层的阻抗，有助于为信号提供一个低阻抗的回流回路。
- 避免信号走线跨越不同的参考平面，否则会引入信号完整性问题。同时，在多电源平面和地平线分割时，优先考虑敏感信号的布局走线。

4.2 布局

在进行 PCB 布局设计中，有一些关键点是需多加注意的。在进行元器件放置之前，要将不同功能的电路进行分类，比如电源、模拟电路、数字电路和高速接口连接器等，这些电路应该放置在 PCB 板的不同区域。

- 电源电路放在电源输入端附近。元件放置按照从高压到低压的顺序。
- DC/DC 或 LDO 稳压器的去耦电容应尽量靠近输入输出端口。
- 与数字电路相比，模拟电路更加容易受到外界干扰信号的影响。建议将模拟电路放置在远离高压和高速数字电路的地方，这样可以减少噪声的耦合路径。
- 高速接口连接器与敏感元件保持足够的间隙。
- 注意射频、AD/DA 和模拟传感器电路的摆放，因为它们对噪声比较敏感。
- 建议晶体靠近 MCU 放置，并用接地线包裹，与其他敏感元件保持安全距离。

4.3 旁路和去耦

在 MCU 电源引脚处，就近放置去耦电容，并且必须使电流先通过电容器，然后再进入电源引脚。

对于 BGA 封装，去耦电容和旁路电容必须放置在尽可能靠近电源引脚的位置。保证滤波电路寄生电感最小化和电源提供瞬态大电流的能力，这对处理器来讲是十分重要的。另外请注意去耦电容和旁路电容的电流回流路径，一定要保证回流路径尽量短。

去耦电容布线请参见图 9。

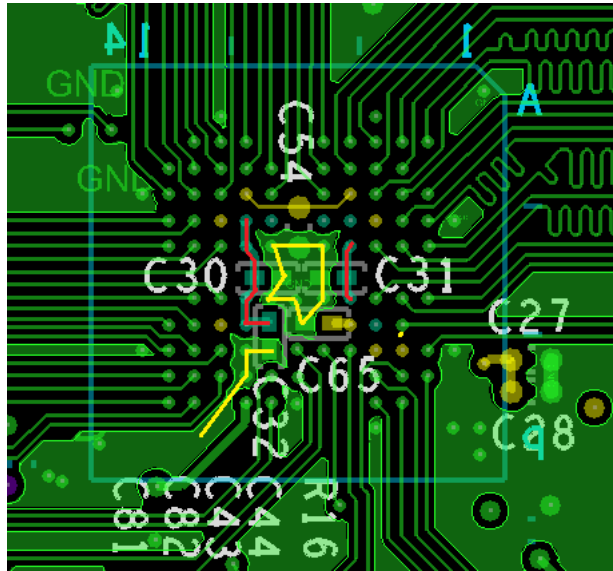


图 9. 去耦电容和旁路电路的放置和回流回路

4.4 DCDC 电路

i.MXRT 系列的内部 DC/DC 有一到两路输出，主要作用是给内核供电，其开关频率约为 1.5 MHz。

DC/DC 需要外接电感和电容，外接电感和电容的元件选择请参考硬件设计指南。

请注意以下关于 DCDC 电路的事项，这对保持良好的电磁兼容性能至关重要。

- 尽量缩小 DC/DC 电流回路，以避免 EMI 问题。
- 让电流首先流经滤波电容，然后流至引脚。
- 尽量避免电感和电容之间不必要的通孔，降低环路阻抗。

图 10 是一个 DCDC 设计的例子，为了确保路径短且阻抗小的返回路径，从 RT1062 DCDC_LP 管脚引出走线，直接路由到 L7 (4.7 uH) 电感，中间没有任何通孔，然后电流流过 C41 和 C42，从 C41 和 C42 的接地引脚直接连接到 RT1062 的 DCDC 的接地管脚。

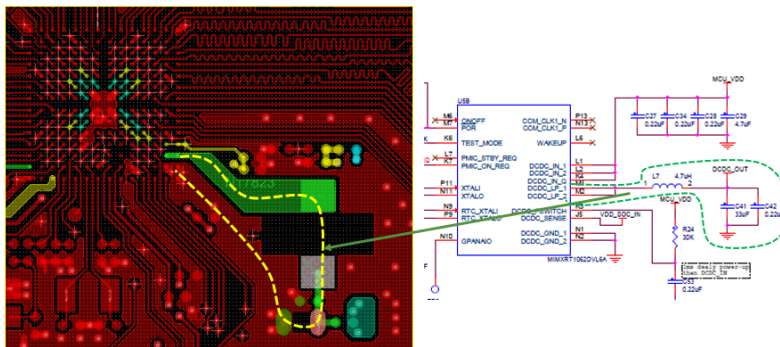


图 10. i.MXRT1062 上的 DCDC 设计

4.5 晶体振荡器电路

PCB 板上的晶体振荡器电路有两种，分别是无源晶体振荡器和有源晶体振荡器。无源晶振应连接在单片机的 XTALIN 和 XTALOUT 引脚之间。晶体振荡器一方面会产生噪声，另一方面，它也是易受干扰的器件，所以针对它的布线应该十分小心。以下为布局时的注意事项：

- 晶体和 XTALIN/XTALOUT 之间的走线应尽可能短。同时保持两条走线的长度相等。
- 将负载电容和反馈电阻放在晶体附近，以减少寄生参数的影响。
- 晶体与其他电路元件之间用地线隔离。
- 地平面必须位于与晶体相关的组件和走线的正下方。
- 其他的信号线尽量避免穿过晶体相邻层。
- 提高晶体振荡器驱动电路的驱动强度会得到更好的 EMS 性能，但也可能会增加功耗并带来 EMI 的问题。
- 建议使用有源晶体振荡器来获得更好的 EMS 性能。

4.6 高速信号

以下是针对高速信号走线的指南。

注

必须考虑传播延迟和阻抗控制以保证设备间的良好通信。

- 高速信号 (SDRAM、RMI、RGMII、USB、Display、Hyper flash、SD 卡) 避免跨越不同参考平面。
- 避免在参考平面上出现开槽、孔洞和分割的情况。
- 当必须在不同的参考平面之间进行转换时，请在距信号层转换通孔 100-mil 内提供接地回路通孔。
- 同一层上的时钟或片选信号与相邻走线的间距至少应为 2.5 倍 (距参考平面的高度为 2.5 倍)，以减少串扰。
- 数据、地址、时钟和控制信号线应做好阻抗匹配和走线长度控制 (长度差取决于总线速率)，并保持相同的过孔数量。

图 11 是 SDRAM 走线的例子。

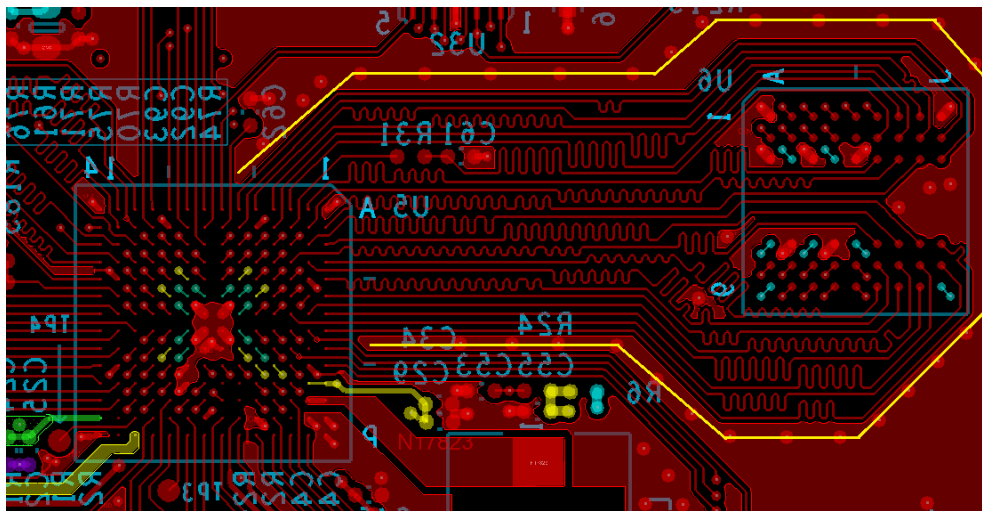


图 11. RT1060 MCU 和 SDRAM 之间的高速信号走线图

4.7 屏蔽连接

连接器接口一般分为多种，有金属的，或者是外壳导电的，安装时这些导电外壳裸露在外面可被接触到，例如 USB 和网络接口插座，因此在设计时应当考虑防静电性能，一些基本的设计准则如下：

- 在连接器（网络接口/USB）下面应放置一个单独的屏蔽地。
- 连接器的外壳地应该用 RC 滤波电路或铁氧体磁珠连接到 PCB 板的地，注意连接位置和元器件参数的选择，这对 EMC 和 EMI 性能至关重要。
- 外壳接地回路要尽量小，避免跨越关键信号或元件，比如微控制器。

图 12 是一个示例。

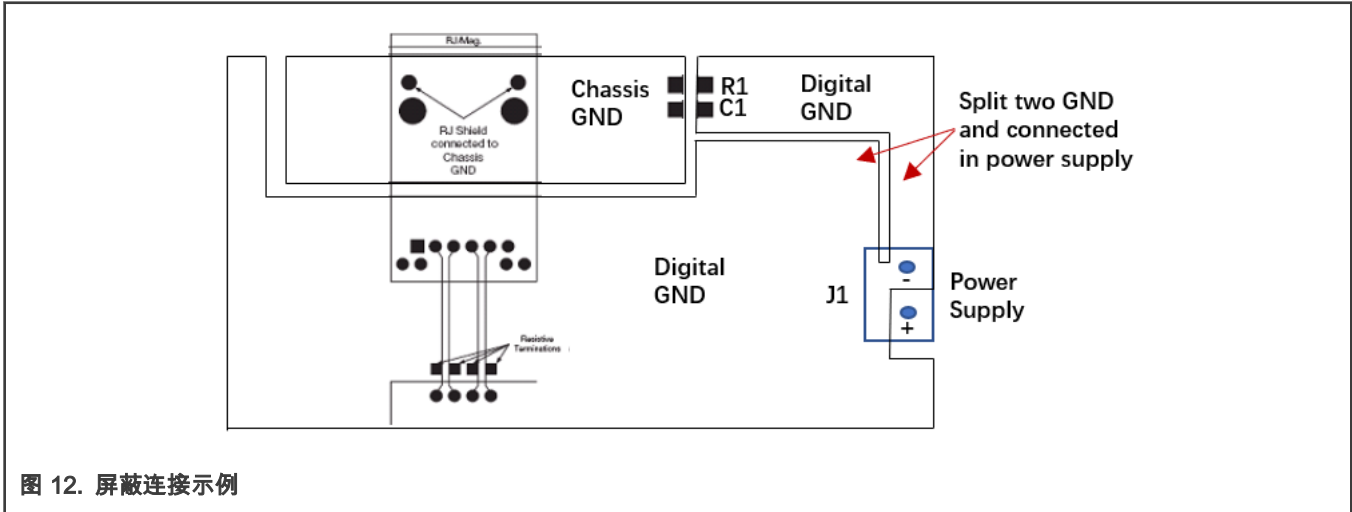


图 12. 屏蔽连接示例

建议将屏蔽地通过 RC 电路或铁氧体磁珠连接到电源地，而不是直接连接到 PCB 板的数字地，这样可以阻止噪声严重干扰数字地，从而保护敏感信号。

4.8 隔离

隔离在设计中经常用到，例如隔离强电和弱电，或者不同的电源，这里以 i.MXRT1060 集中器中使用的 RS485 电路为例，介绍布局方法。

RS485 接收机和系统 MCU 间采用了光隔离器 IC 用于隔离。为了提高隔离性能，在 RS485 接收机下方设置了隔离间隙，且这种隔离间隙应用于所有平面（顶层/电源/接地/底层）以保证良好的隔离性能。

图 13 是 RS485 隔离电路的例子。

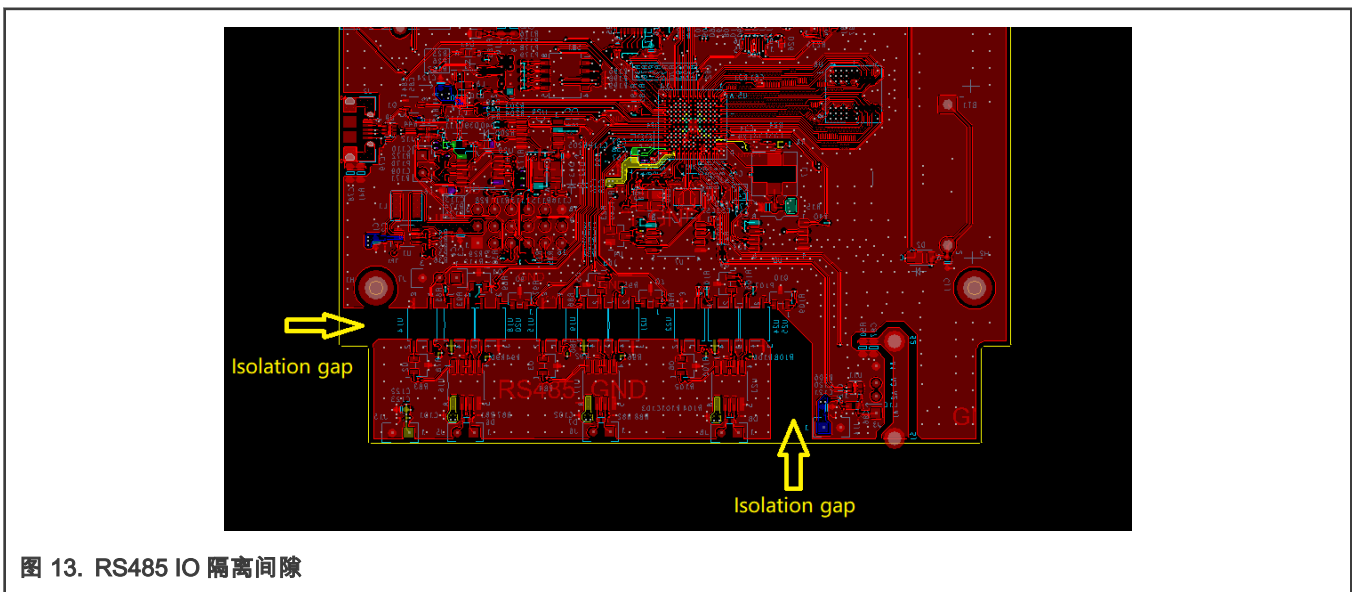
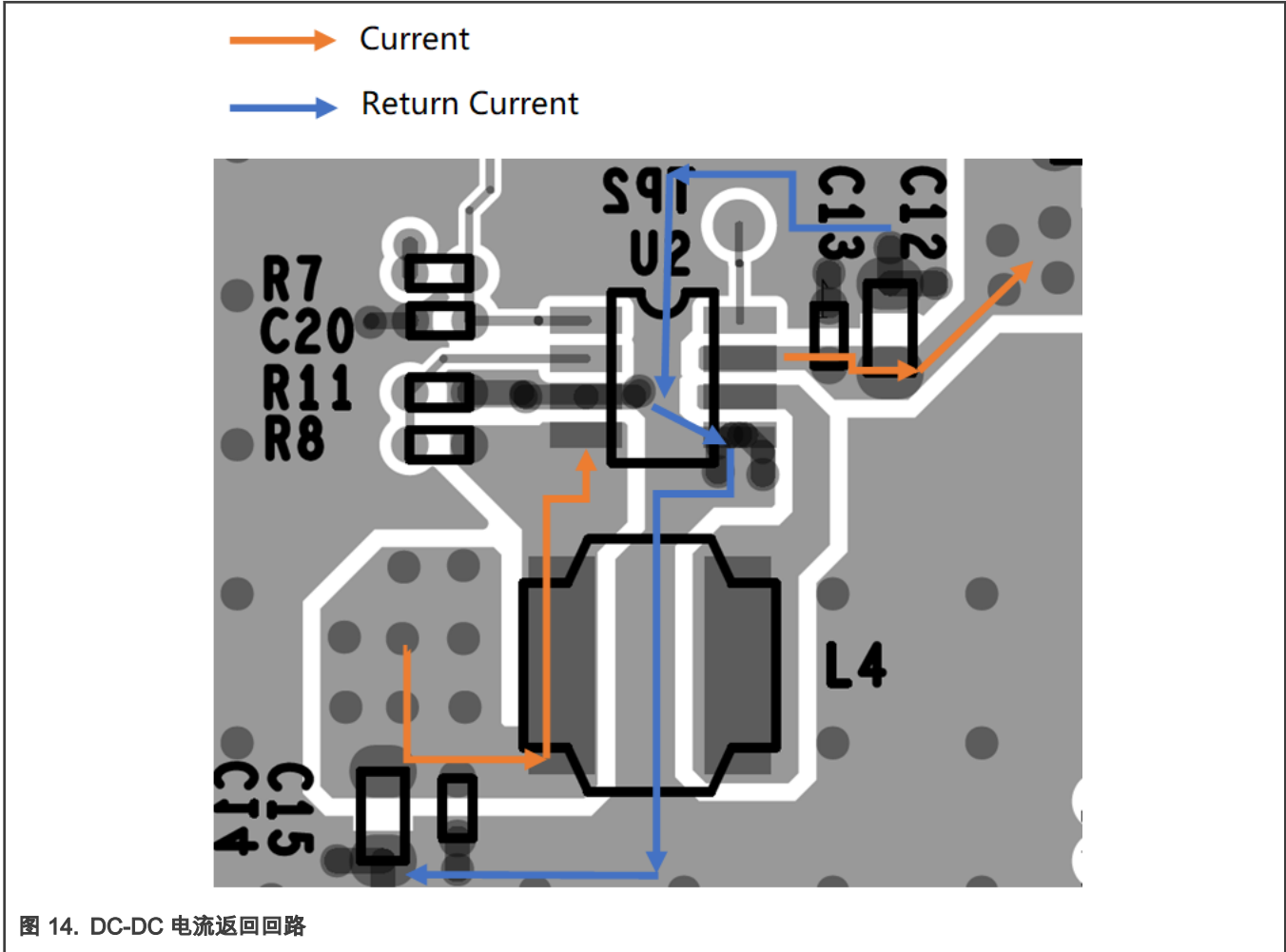


图 13. RS485 IO 隔离间隙

4.9 信号回流路径

众所周知，电流是一个在源设备和终端设备之间沿电路流动而形成的闭环。关于信号回流路径和电源回路，信号回流路径的关注度一直要高一些。实际上，信号和电源都有自己的回流路径。地平面可以是信号和电源的参考面，但电源面也可以作为信号的参考面。回路面积越小，阻抗越小，串扰和电磁干扰（EMI）的影响也就越小。如图 14 所示，它是一个 DC-DC 转换电路。将去耦电容靠近输入输出端口，回流信号可以从 Top 层直接回流至源端，最大程度地减小电流回流路径和阻抗。



当考虑信号返回路径时，一定要避开电流回环路径上的断开点。电流回环的面积越小，EMC 的性能就越好。

5 软件设计

良好的软件设计也是一个很好的提高 EMC 性能的方法，可以在不增加额外成本的情况下提高系统的稳定性。

5.1 代码运行位置

i.MXRT 系列支持在 XIP flash（例如，QSPI Flash）、内部 SRAM 和外部 RAM（例如 SDRAM）中执行代码。一般来说，在内部 SRAM 执行的 EMC 性能比外部 SRAM 和 XIP flash 要好。

代码在外部存储器中运行时，容易受到噪声的干扰，所以建议将代码放到内部 SRAM 中，以提高系统抗干扰能力。

5.2 某些外设的滤波器配置

一些外设支持数字滤波器以避免噪声干扰，如 i.MXRT 系列中的 LPI2C、FlexCAN、ENC 和 Tamper 引脚，该功能可以对输入的噪声按指定宽度进行滤波，图 15 用一个简单的图来介绍数字滤波器。

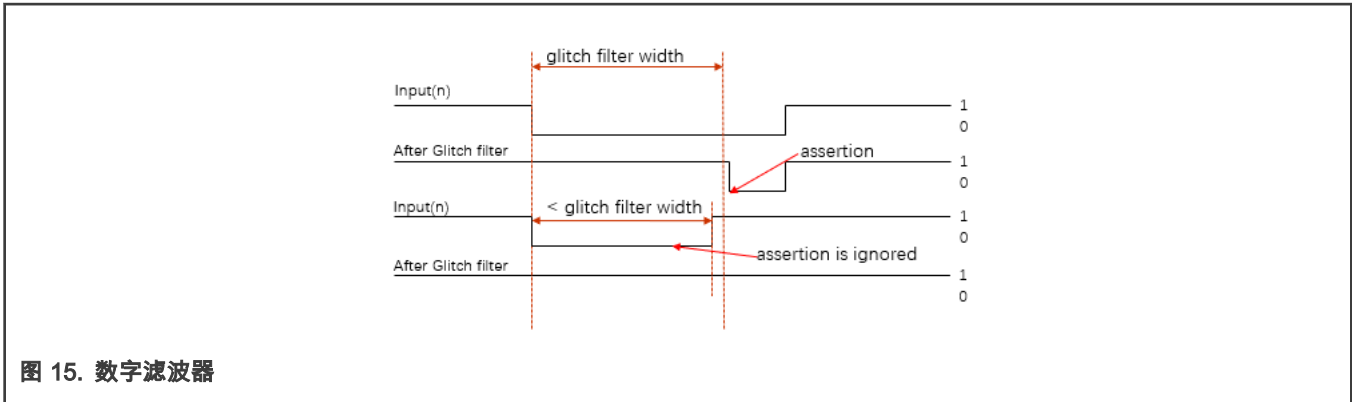


图 15. 数字滤波器

如 图 15 所示，可以看到噪声被滤掉了，客户可以根据应用情况配置滤波器宽度。建议启用相应数字滤波器以提高 EMC 性能。以 i.MXRT1060 集中器为例，在 EFT 测试中，LPI2C 在 4 kV 测试中工作不正常，在启用 LPI2C 滤波器后，可以通过 EFT 4.5 kV 测试。

5.3 IO 驱动强度

一般来说，电磁干扰（EMI）问题可能是由高速时钟或高速信号切换引起的。对于高速信号，快速的电平切换含有丰富的高频谐波能量，很容易产生 EMI 问题。可以通过减缓信号的边沿来减少谐波的产生，为了减少过冲和下冲，一般串联一个合适的电阻就可以了。好消息是，i.MXRT 系列提供了通过软件配置信号驱动强度的功能，这样可以通过软件配置来获得类似的结果，既方便也降低了成本。

当产品出现 EMI 问题时，可以通过分析谐波来找出干扰源，并设法降低相关信号的驱动强度来解决 EMI 问题。

例如，在 RT1060 EMC 评估板上，发现 50 MHz 的倍频处有较多的谐波，分析系统发现 ENET REF_CLK 信号为 50 MHz，将 ENET REF_CLK 引脚驱动设置从 0x31 改为 0x21，降低驱动强度后，50 MHz 的倍数谐波噪声降低了很多。

5.4 时钟扩频

通常情况下，系统 PLL 是系统内部总线、内部处理逻辑、SDRAM 接口和 NAND/NOR 接口模块等的时钟源。而系统 PLL 时钟的频率都是窄带信号，信号强度集中，这是产生电磁辐射的主要来源，如 图 16 所示。

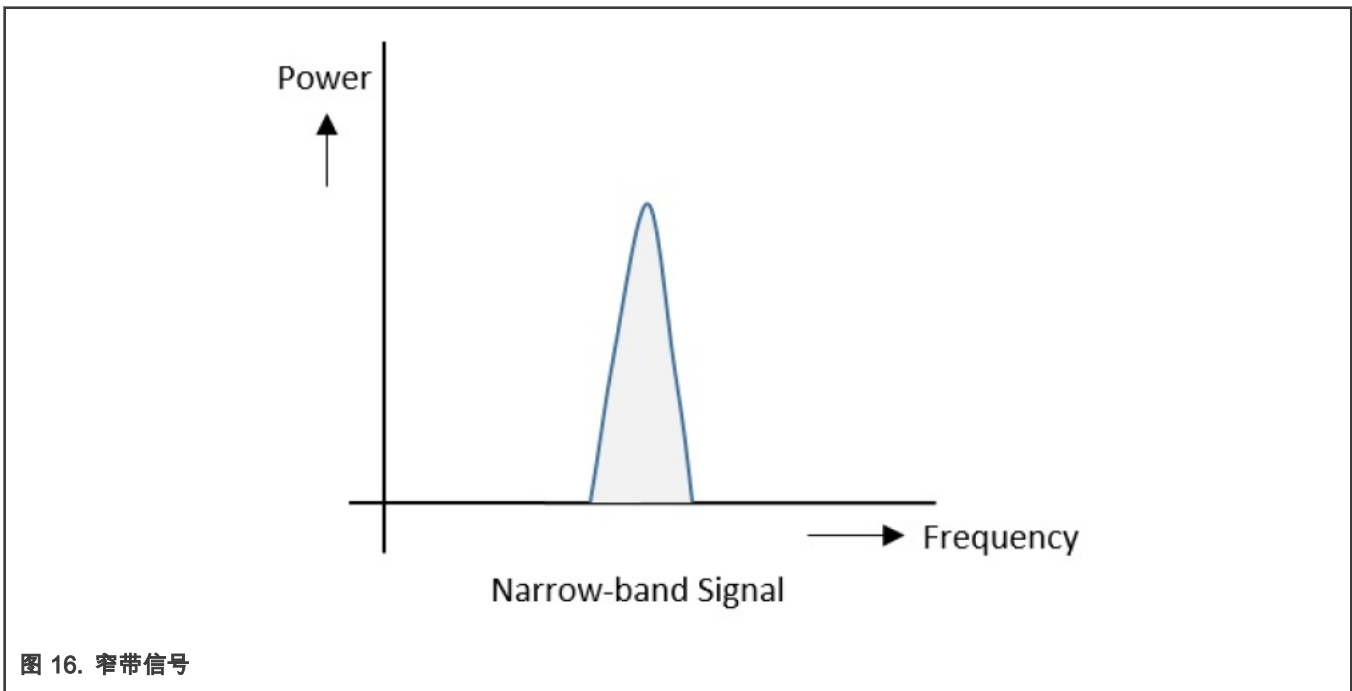
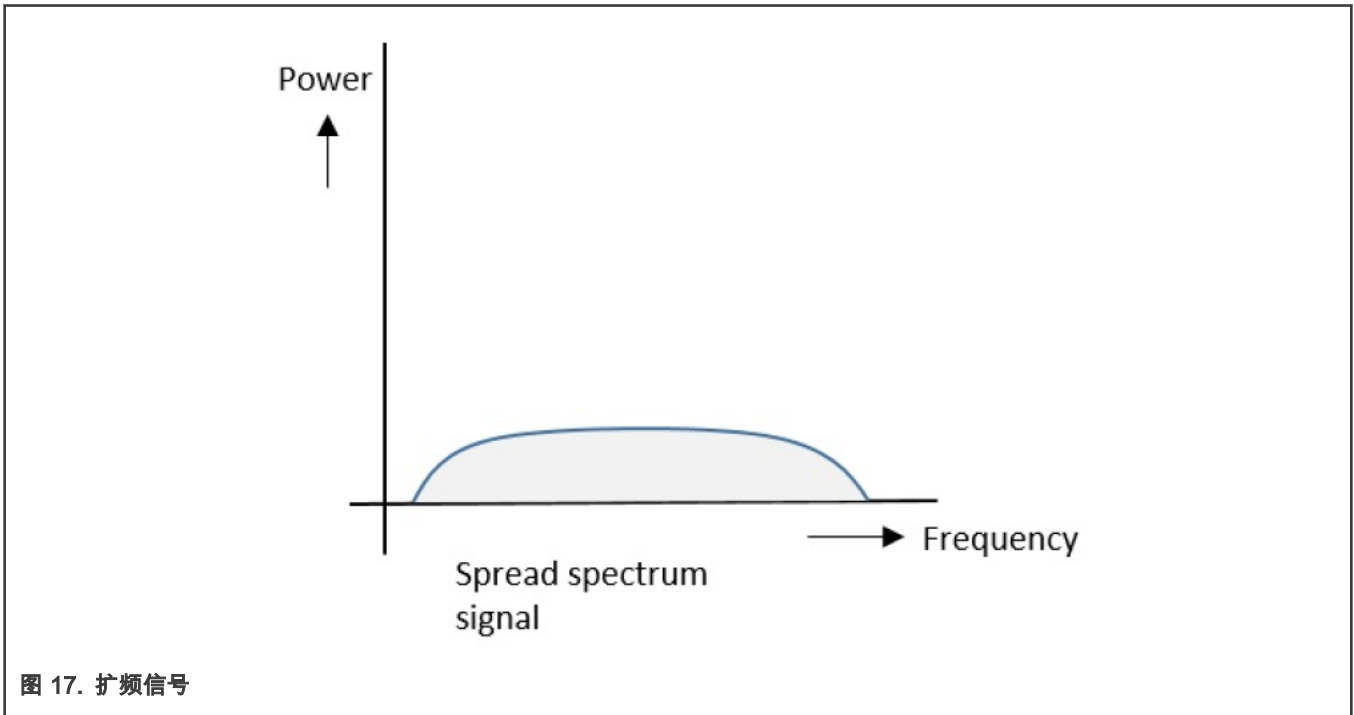


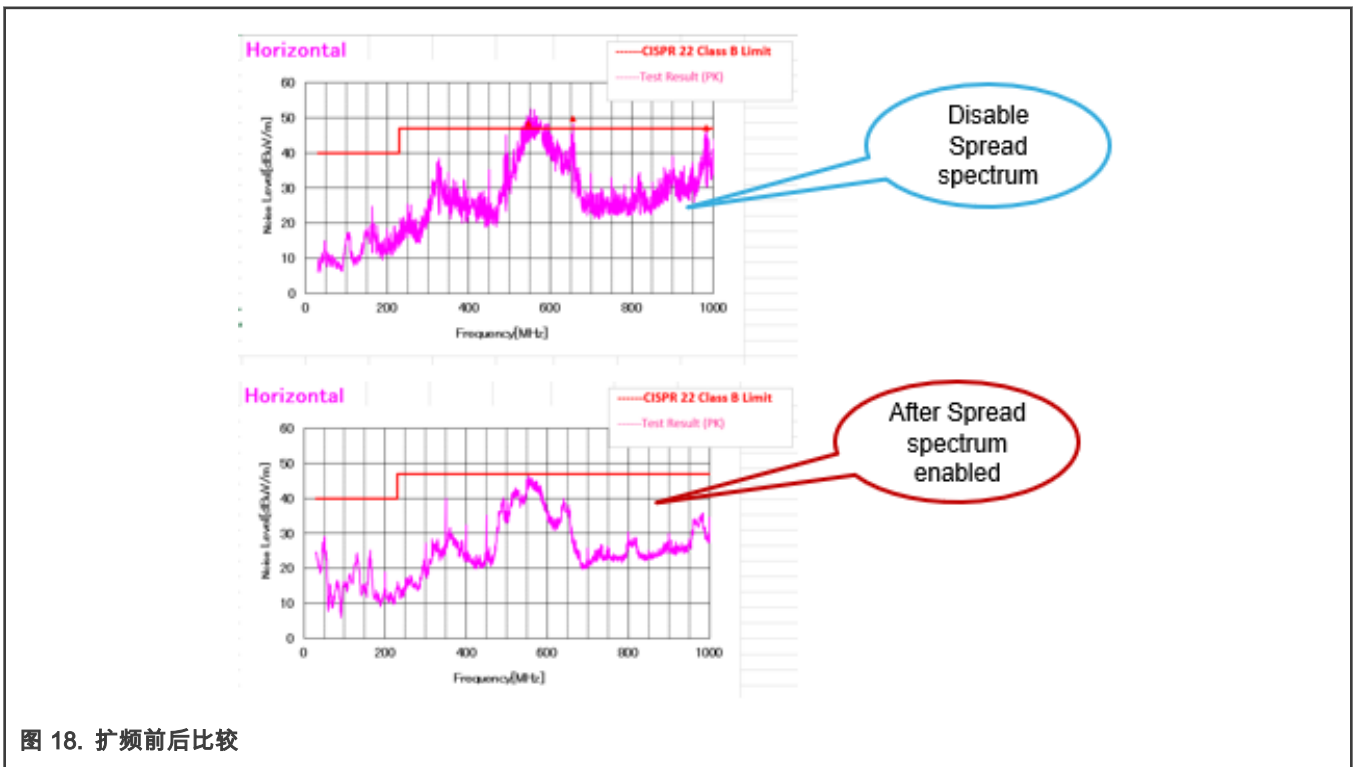
图 16. 窄带信号

在这里引入时钟扩频技术来降低信号能量的集中，该技术将时钟能量在一定带宽内进行频谱扩展和能量分散，从而降低电磁能量的峰值。如 图 17 所示。



i.MXRT 系列的系统 PLL 支持时钟扩频，如果外设采用此 PLL 作为时钟源，可以启用此功能来降低 EMI 问题的影响。关于如何启用该功能的详细信息，请参考《如何在 RT 系列上使能扩频功能》（文档 AN2879）。

在 RT1060 集中器中，启用系统时钟的扩频功能后，噪声强度下降了约 5 dbm。请参考 图 18 中所示数据。



6 EMC 测试

以 MIMXRT1062 集中器为例，基于 IEC61000-4-2 和 IEC61000-4-4 标准对 RT1062 板级和系统级 EMC 性能进行评估。

6.1 简介

RT1060 的集中器架构如 图 19 所示。

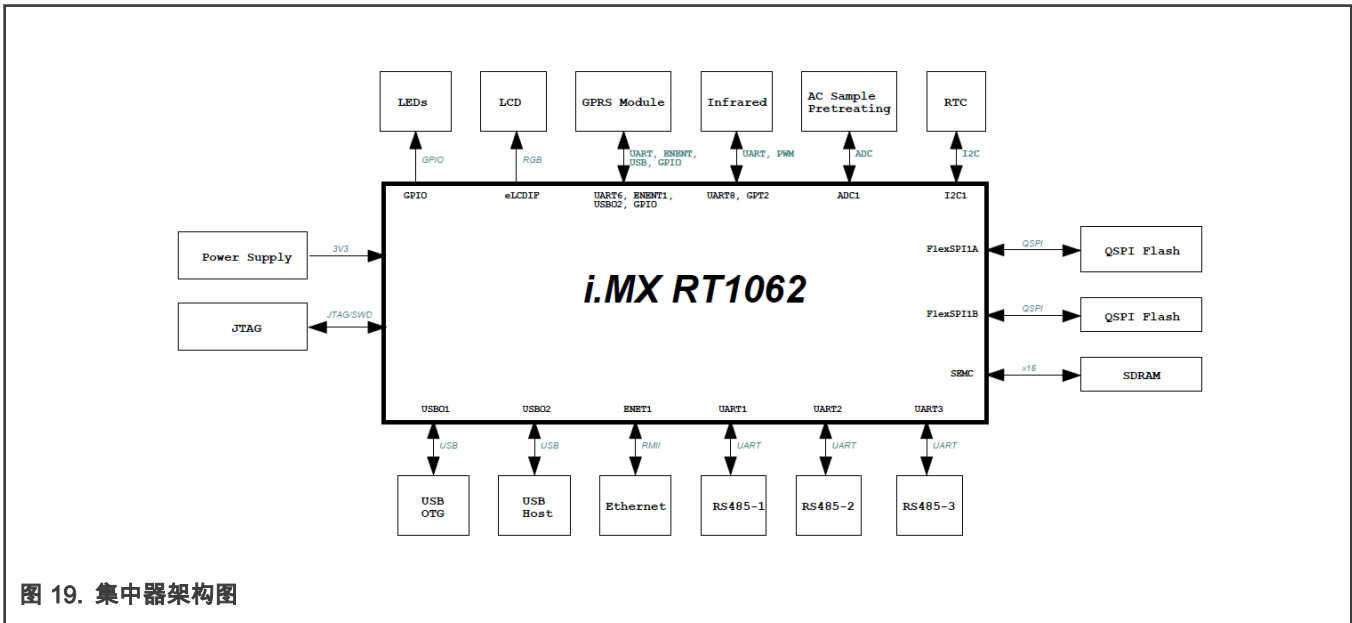


图 19. 集中器架构图

根据应用，设计的集中器特性如下：

- 四层板设计
- AC220 输入，采用 AC-DC 电源板为系统供电
- 600 MHz 下运行
- QSPI 闪存工作在 133 MHz，SDRAM 工作在 166 MHz
- 通过 RS485-1/2/3 接口定期发送/接收数据并检查通信情况
- 网络接口回环以检查通信情况
- 通过 I2C 接口采样时间信息
- ADC 定期对 AC 信号进行采样
- 支持分辨率为 320 × 480 的 LCD
- 7 个 LED 状态指示灯

6.2 EMC 测试结果

表 2. EMC test results

EMC 测试标准	描述	测试结果	测试环境	备注
IEC61000-4-4 (EFT)	EFT 测试	4.5 KV	板级	—
IEC61000-4-2 (ESD)	间接接触放电 (X & Y)	12 KV	板级，30-35%相对湿度	使用有源晶振

Table continues on the next page...

表 2. EMC test results (continued)

EMC 测试标准	描述	测试结果	测试环境	备注
IEC61000-4-2 (ESD)	直接接触放电	8 KV	板级, 30-35%相对湿度	—
IEC61000-4-4 (EFT)	EFT 测试	4.5 KV	系统级	—
IEC61000-4-2 (ESD)	间接接触放电 (X & Y)	12 KV	系统级, 30-35%相对湿度	—
IEC61000-4-2 (ESD)	空气放电	15 KV	系统级, 30-35%相对湿度	—

7 结论

本文档以 i.MXRT 系列为基础介绍了一些提高 EMC 性能的常用方法，并以 i.MXRT1060 集中器为例，介绍了 EMC 设计的一些基本方法。这篇文档可以作为客户在实际应用中的指导或参考，帮助客户节约资金和时间，并且提高产品的稳定性。

8 参考手册

- *i.MX RT1060 Crossover Processors for Industrial Products* (document [IMXRT1060IEC](#))
- *i.MX RT1060 Processor Reference Manual* (document [IMXRT1060RM](#))
- *Designing for Board Level Electromagnetic Compatibility* (document [AN2321](#))
- *Transmission Line Effects in PCB Applications* (document [AN1051](#))
- *Improving Transient Immunity for uC* (document [AN2764](#))
- *Pad Layout Application Note* (document [AN3747](#))

9 版本历史

版本号	日期	重大更新
0	March, 2021	初次发布

How To Reach Us

Home Page:

nxp.com

Web Support:

nxp.com/support

Information in this document is provided solely to enable system and software implementers to use NXP products. There are no express or implied copyright licenses granted hereunder to design or fabricate any integrated circuits based on the information in this document. NXP reserves the right to make changes without further notice to any products herein.

NXP makes no warranty, representation, or guarantee regarding the suitability of its products for any particular purpose, nor does NXP assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters that may be provided in NXP data sheets and/or specifications can and do vary in different applications, and actual performance may vary over time. All operating parameters, including "typicals," must be validated for each customer application by customer's technical experts. NXP does not convey any license under its patent rights nor the rights of others. NXP sells products pursuant to standard terms and conditions of sale, which can be found at the following address: nxp.com/SalesTermsandConditions.

Right to make changes - NXP Semiconductors reserves the right to make changes to information published in this document, including without limitation specifications and product descriptions, at any time and without notice. This document supersedes and replaces all information supplied prior to the publication hereof.

Security — Customer understands that all NXP products may be subject to unidentified or documented vulnerabilities. Customer is responsible for the design and operation of its applications and products throughout their lifecycles to reduce the effect of these vulnerabilities on customer's applications and products. Customer's responsibility also extends to other open and/or proprietary technologies supported by NXP products for use in customer's applications. NXP accepts no liability for any vulnerability. Customer should regularly check security updates from NXP and follow up appropriately. Customer shall select products with security features that best meet rules, regulations, and standards of the intended application and make the ultimate design decisions regarding its products and is solely responsible for compliance with all legal, regulatory, and security related requirements concerning its products, regardless of any information or support that may be provided by NXP. NXP has a Product Security Incident Response Team (PSIRT) (reachable at PSIRT@nxp.com) that manages the investigation, reporting, and solution release to security vulnerabilities of NXP products.

NXP, the NXP logo, NXP SECURE CONNECTIONS FOR A SMARTER WORLD, COOLFLUX, EMBRACE, GREENCHIP, HITAG, ICODE, JCOP, LIFE, VIBES, MIFARE, MIFARE CLASSIC, MIFARE DESFire, MIFARE PLUS, MIFARE FLEX, MANTIS, MIFARE ULTRALIGHT, MIFARE4MOBILE, MIGLO, NTAG, ROADLINK, SMARTLX, SMARTMX, STARPLUG, TOPFET, TRENCHMOS, UCODE, Freescale, the Freescale logo, Altivec, CodeWarrior, ColdFire, ColdFire+, the Energy Efficient Solutions logo, Kinetis, Layerscape, MagniV, mobileGT, PEG, PowerQUICC, Processor Expert, QorIQ, QorIQ Qonverge, SafeAssure, the SafeAssure logo, StarCore, Symphony, VortiQa, Vybrid, Airfast, BeeKit, BeeStack, CoreNet, Flexis, MXC, Platform in a Package, QUICC Engine, Tower, TurboLink, EdgeScale, EdgeLock, eIQ, and Immersive3D are trademarks of NXP B.V. All other product or service names are the property of their respective owners. AMBA, Arm, Arm7, Arm7TDMI, Arm9, Arm11, Artisan, big.LITTLE, Cordio, CoreLink, CoreSight, Cortex, DesignStart, DynamIQ, Jazelle, Keil, Mali, Mbed, Mbed Enabled, NEON, POP, RealView, SecurCore, Socrates, Thumb, TrustZone, ULINK, ULINK2, ULINK-ME, ULINK-PLUS, ULINKpro, μ Vision, Versatile are trademarks or registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere. The related technology may be protected by any or all of patents, copyrights, designs and trade secrets. All rights reserved. Oracle and Java are registered trademarks of Oracle and/or its affiliates. The Power Architecture and Power.org word marks and the Power and Power.org logos and related marks are trademarks and service marks licensed by Power.org.

© NXP B.V. 2021.

All rights reserved.

For more information, please visit: <http://www.nxp.com>

For sales office addresses, please send an email to: salesaddresses@nxp.com

Date of release: March, 2021

Document identifier: AN13202

